

Sequential read access of serial memories with a user defined starting address.

Patent Number: ☐ EP0326885, A3, B1
Publication date: 1989-08-09
Inventor(s): KOWSHIK VIKRAM; LUCERO ELROY M; BODDU SUDHAKAR
Applicant(s):: NAT SEMICONDUCTOR CORP (US)
Requested Patent: ☒ JP2257494
Application Number: EP19890101064 19890121
Priority Number(s): US19880149399 19880128
IPC Classification: G11C7/00 ; G11C8/00
EC Classification: G11C7/00, G11C19/00
Equivalents: CA1332470, DE68918469D, DE68918469T, ☐ US4873671

Abstract

Circuitry for serial read memory access utilizing a random starting address. Fast read access is provided without upsetting the original data pattern stored in the memory core if the sequential read is terminated in midstream. After the last memory address is reached, the access automatically rolls over to the first address. The circuit provides both random and sequential access functions and allows the memory to be used as a shift register of variable length.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平2-257494

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月18日

G 11 C 16/06
8/04

7131-5B
7131-5B

G 11 C 17/00

3 0 9 B

審査請求 未請求 請求項の数 6 (全7頁)

⑮ 発明の名称 ユーザが決定した開始アドレスを有する直列メモリの逐次的読取アクセス

⑯ 特 願 平1-17851

⑰ 出 願 平1(1989)1月30日

優先権主張 ⑱ 1988年1月28日 ⑲ 米国(US) ⑳ 149,399

㉑ 発 明 者 ビクラム コウシク アメリカ合衆国, カリフォルニア 95132, サン ノゼ, ライムウッド ドライブ 2094

㉒ 出 願 人 ナショナル セミコン アメリカ合衆国, カリフォルニア 95052, サンタ クラダクタ コーポレーション, セミコンダクタ ドライブ 2900
ヨン

㉓ 代 理 人 弁理士 小橋 一男 外1名
最終頁に続く

明 細 書

1. 発明の名称

ユーザが決定した開始アドレスを有する
直列メモリの逐次的読取アクセス

2. 特許請求の範囲

1. メモリアレイ内の一連の格納レジスタを逐次的に読取る装置において、前記メモリアレイ内の対応するレジスタからデータを読取るために前記メモリアレイをアクセスするために使用するアドレスを格納するアドレスラッチが設けられており、前記アドレスラッチはインクリメント信号を受取ると共に前記格納されているアドレスをインクリメントするための手段を具備しており、前記格納されているアドレスに対応するレジスタからデータが読取られたことを決定すると共に前記メモリアレイ内のレジスタから逐次的にデータが読取られるように前記決定に回答して前記インクリメント信号を発生する手段が設けられていることを特徴とする装置。

2. 特許請求の範囲第1項において、前記ア

ドレスラッチに対する予め選択したレジスタアドレスを供給する手段を有していることを特徴とする装置。

3. 特許請求の範囲第1項において、連続する直列的データの流れが前記メモリアレイから読取られることを特徴とする装置。

4. メモリアレイ内の一連の格納レジスタを逐次的に読取る装置において、対応するデータレジスタからデータを読取るために前記メモリアレイをアクセスするために使用されるアドレスを格納するためのアドレスラッチが設けられており、前記アドレスラッチは前記アドレスラッチ内に格納されているアドレスをインクリメントするためのインクリメント信号に回答する手段を具備しており、対応するデータレジスタからの予め選択した数のデータビットを有するデータを受取り且つ前記データビットを出力端へ直列的にシフトさせるデータシフトレジスタが設けられており、且つ前記出力端へシフトされたデータビットをカウン

た数と等しくなる場合にインクリメント信号を発生するデータストリームカウンタが設けられており、複数個のデータレジスタが直列して読取られるように前記アドレスラッチ内に格納されているアドレスが逐次的にインクリメントされることを特徴とする装置。

5. メモリアレイ内の複数個のデータ格納レジスタを逐次的に読取する方法において、

a) アドレスレジスタに対応するアドレスを使用して前記アレイ内の格納レジスタへアクセスし、

b) 前記格納レジスタからデータを読取り、

c) 前記格納レジスタからデータが読取られたことを検知し、

d) 前記格納レジスタをアクセスするために使用されたアドレスをインクリメントし、

e) インクリメントしたアドレスを使用して上記ステップa) - d) を繰り返し行なって前記複数個のデータ格納レジスタを逐次的に読取る、上記各ステップを有することを特徴とする方法。

6. 特許請求の範囲第5項において、前記ア

装置は、マトリクス状に配列された個別的なFETメモリセルを有しており、共通の組の列ビットラインはビットライントランジスタによって駆動されてセルを読取り又は書込みに対して準備させる。該マトリクスの行は、ポインタレジスタ即ち逐次的に行を選択するために固定したビット条件が循環するシフトレジスタによって選択される。データ入力は1番目の列内のすべてのセルへ提供され、且つセル出力及び入力が合流され従って装置全体は直列シフトレジスタとして作用する。1個のセルが読取りのために選択されると、その隣のものは書込みのために選択され、適宜のゲートを使用してのその選択はシフトレジスタから準備される。入力と出力の合流の結果、一つのセルから読取られたビットは信号列内のセルから一つ上で且つ次の隣接する列内のセルへ移行する。従って、データはメモリマトリクスを介して出力端へ進行する。

しかしながら、上述したシーケンシャルアクセスメモリは、多数の主要な欠点を有している。第

一に、それはランダムアクセス能力を与えるものではない。第二に、前記アレイ内のデータパターンは、シーケンシャル読取りがストリームの途中で終了されると変更されてしまう。第三に、該メモリは、可変長のシフトレジスタとして使用することはできない。これらの欠点は、このメモリ装置を特定の適用例へ使用することを制限する結果となっている。

3. 発明の詳細な説明

技術分野

本発明は、集積回路に関するものであって、更に詳細には、ランダム開始アドレスを使用して直列メモリの高速読取アクセスを与える回路に関するものである。

従来技術

英国特許出願GB 2 183 374 Aは、シーケンシャルアクセスメモリに関するものであって、それは直列的読取アクセス、データの同時的読取り及び書込みに対する能力を与えており、且つ該メモリを1個の大きなシフトレジスタとして使用することによる複雑なアドレス動作及びリフレッシュ回路に対する必要性を除去している。

上述した英国特許出願に開示されているメモリ

一に、それはランダムアクセス能力を与えるものではない。第二に、前記アレイ内のデータパターンは、シーケンシャル読取りがストリームの途中で終了されると変更されてしまう。第三に、該メモリは、可変長のシフトレジスタとして使用することはできない。これらの欠点は、このメモリ装置を特定の適用例へ使用することを制限する結果となっている。

1983年12月20日に発行された発明者Watanabeの米国特許第4,422,160号は、RAM及びセミランダムアクセス能力に対する動作のページモード型における直列的アクセスを特徴とするメモリ装置を開示している。ストリーム中間において逐次的な読取が終了された場合にそのデータパターンが変更されることはない。行アドレスストローブ信号及び列アドレスストローブ信号にそれぞれ同期して同一の組のアドレス端子を介して行及び列アドレス情報が導入されるのでピンの所要数は少なくなっている。

上述した如き、上記Watanabe特許のメ

メモリ装置においては、それぞれ、行アドレスストロブ信号と列アドレスストロブ信号に回答して同一の組のアドレス端子を介して行アドレス情報及び列アドレス情報が導入される。更に、メモリセルマトリクスの一つの列を選択すべく適合されている出力端を有するシフトレジスタが、列デコードに加えて設けられている。該シフトレジスタのシフト動作は、行アドレスストロブ信号のアクティブ（活性）状態のもとで列ストロブ信号がアクティブとされるごとに実行される。この上記Watanabe特許のメモリ装置の顕著な特徴は、行ストロブ信号のアクティブ状態のもとで列アドレスストロブ信号が最初にアクティブとされた時に行アドレスデコード及び列アドレスインバートがそれらのアクティブ状態とされ且つこれらの列アドレスインバート及び列デコードの状態は行ストロブ信号が非アクティブ状態となる時まで列アドレスストロブ信号の爾後の変化とは無関係に維持されるということである。シフトレジスタ及び入力／出力回路は、行アドレス

ストロブ信号のアクティブ状態のもとで列ストロブ信号のアクティブ状態及び非アクティブ状態の間のレベルにおける変化と同期して繰返しアクティブとされる。従って、上記Watanabe特許の動作においては、該シフトレジスタにおけるシフト動作及び被入力／出力回路の活性化は、列アドレスインバートバッファ及び列デコードのアクティブ及び非アクティブ状態を繰返すことなしに高速で且つ低パワー消費で繰返し実施することが可能である。

しかしながら、上記Watanabe特許のメモリ装置も種々の欠点を有している。第一に、特定の行に沿ってのすべての列が読取られた後に新たな行アドレスが与えられねばならないので、完全なランダムアクセス能力を与えるものではない。第二に、上記Watanabe特許の装置は、可変長のシフトレジスタとして使用することはできない。従って、上述した英国特許出願に記載される装置と同じく、上記Watanabe特許のメモリ装置も特定の適用例における使用に制限され

ている。

目 的

本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、ランダムな開始アドレスを有する直列読取メモリアクセスを可能とする回路を提供することである。

構 成

本発明によれば、ストリームの中で逐次的な読取りが終了された場合においてもメモリコア内に格納されている元のデータパターンに影響を与えることなく高速の読取アクセスが与えられる。最後のメモリアドレスに到達した後に、アクセスは自動的に最初のアドレスへロールオーバー即ち回り込んで復帰する。ランダム及びシーケンシャルな両方のアクセスが与えられており、且つメモリは可変長のシフトレジスタとして使用することが可能であり、従って汎用性が増大されている。本発明に基づくシリアルメモリアレイの逐次的読取アクセスを与える回路の一実施例は、該アレイ内の対応するデータレジスタからデータを読取る

ために該メモリアレイをアクセスするために使用されるアドレスを格納するアドレスラッチを有している。該アドレスラッチは、アドレスインクリメント信号を受取ると格納されているアドレスをインクリメントさせるカウンタを有している。該アクセスされたメモリレジスタからのデータビットは、該アレイの並列出力を受取るデータシフトレジスタによって、出力パッドへ直列的にシフトされる。データストリームカウンタはデータ出力ピン上で出力されるビット数をモニタし、読取シーケンス期間中に固定したカウントにおいて該アドレスラッチへインクリメントアドレス信号を供給し、且つ該データ出力ピン上にデータのワードが出力された後にそれ自身ゼロとなる。この様に、該アレイ内のデータレジスタの各々が直列的に読取られるように該アドレスラッチ内に格納されているアドレスは逐次的に即ち順番にインクリメントされる。

実施例

第1図は、電気的に消去可能な書込み可能読取

り専用メモリ(EEPROM)装置の基本的な要素を示している。該装置は、EEPROMアレイを有しており、それは各々16ビットの256個の格納レジスタへ分割されている。該アレイ内のN個のレジスタは、保護されるべきアレイ2内の最初のレジスタのアドレスを特別のオンチップのメモリプロテクトレジスタ3内にプログラム即ち書き込むことによってデータ変更に対し保護することが可能である。その後、メモリプロテクト(保護)レジスタ3内に格納されているアドレスと等しいか又はそれより大きなデータアドレスを有する格納レジスタ内のデータを変更するためのすべての試みは無視される。このデータ保護技術は、本願と同時に出版された発明者Boddu et al. の書き込み可能メモリデータ保護技術(PROGRAMMABLE MEMORY DATA PROTECTION SCHEME)という名称であり本願出願人に譲渡されている米国特許出願に完全に記載されている。

第1図に大略示してあり且つ以下に詳細に説明

する如く、命令レジスタ4内に書き込み命令を直列的にクロック入力させ次いで該書き込み命令内において特定されるアドレス内へ書き込まれるべき16ビットのデータをデータシフトレジスタ5内にクロック入力させることによって、データがEEPROMアレイ2内の選択した格納レジスタ内に書き込まれる。該16ビットのデータがデータシフトレジスタ5内にクロック入力された後に、このデータは単一の自己同期型書き込みサイクルにおいてドライバ6A内のデータを介してアレイ2内の特定した格納レジスタへ並列的に転送される。

読取命令は、命令レジスタ4から読取られるべきメモリレジスタのアドレスを8ビットアドレスレジスタ7内にロードする。該アクセスされた格納レジスタからのデータは、センスアンプ6を介してデータシフトレジスタ5へ並列的に転送され、次いでデータ出力ピンD0へ直列的にクロック出力される。

第2図は、本発明に従ってアレイ2内の格納レジスタを逐次的に読取るためのシリアル(直列)

読取アクセス回路10を示している。該回路10は、2個の主要な構成要素、即ちアドレスレジスタ/カウンタ12及びデータストリームカウンタ16を有している。

アドレスレジスタ/カウンタ12は、 $\phi 1$ I₁ I₀が高状態にある間に命令シフトレジスタ14から入力される開始アドレスをラッチする。即ち、命令シフトレジスタ14内へ直列的にシフトされている命令の開始ビットがレジスタ位置10へ一連のクロックサイクルに渡って移動すると、ANDゲート15の出力 $\phi 1$ I₁ I₀が高状態となり、アドレスレジスタ/カウンタ12への命令シフトレジスタ14からの開始アドレスの並列転送が行なわれる。後に更に詳細に説明する如く、アドレスレジスタ/カウンタ12は、アドレスラッチ12へのIALパルス入力にตอบสนองして1ごとのインクリメント即ち増分でカウントアップする能力を有している。

データストリームカウンタ16は、読取モード期間中クロックパルス数をモニタし且つ一定のカ

ウントにおいてインクリメントアドレスラッチ(IAL)信号を発生する。該データストリームカウンタ16は、又、信号RD、 $\phi 1$ を発生し、その時間の間、アドレスラッチ12内の新たにインクリメントされたアドレスに対応するメモリアレイ24内の新たなアドレスがセンスアンプ22によって読取られる。この新たなデータはデータシフトレジスタ18のマスタ及びスレーブ内へ転送され、一方古いデータビットD0はダミービット26からクロック出力される。

データシフトレジスタ18は、データ入力(DI)ピン20から直列的にロードされるか(書き込み命令に関して上に説明した如く)又はセンスアンプ22からのRD、 $\phi 1$ 相の期間中並列的にロードさせることが可能である。上述した如く、データシフトレジスタ18内に直列的にロードされたデータは、並列的にメモリアレイ24内に書き込まれる。読取アクセス期間中シフトレジスタ18へ並列的にロードされるデータは、ダミービット26及びデータ出力ドライバ28を介してデータ

出力(DO)パッド30へ直列的にクロック出力される。本発明に基づくシリアル読取アクセスの作用について第2図に示したタイミング線図及び第1図の概略図を参照して説明する。

読取操作は、データ入力ピン20を介して命令レジスタ14内へ読取命令を入力することによって達成される。この読取命令は、開始ビット「1」で開始し、その後動作コード「op-code」及び読取られるべきメモリ格納レジスタのアドレスが続く。クロック動作シーケンスの期間中、最後のアドレスビット「Ao」を、 $\phi 1$ クロックの上昇端で命令レジスタ14の一端側にある「スレーブ」内へラッチ入力させる一方、該開始ビットを他方の端部における命令レジスタ14のスレーブ内へラッチ入力させ、 I_o を高状態とさせる。図示例において、 I_o 信号は遅延されて、 $I_o P D$ 信号を供給し、それは命令レジスタ14内のすべてのビットが安定化するのに十分な時間を与える。 $I_o P D$ 信号が高状態となると、命令レジスタ14をクロック動作させている内部クロック相

一つの位置シフトされ、且つそれに続く $\phi 1$ クロック相において、新たなデータビット(データのMSB、例えば第3図におけるD15)が最後のシフトレジスタのスレーブ部分内へラッチ入力される(ダミービット)。データ出力ドライバ28を介してのある程度の遅延の後、新たなデータビット(例えば、D15)がデータ出力ピン30上に表示される。この様に、すべての引き続く入力クロック相に対して、データの次の下位のビットがデータ出力ピン30上に出力される。

メモリアドレスに対応するすべてのデータビット(図示例においてD15-D0)が、RD、 $\phi 1$ が真である場合にデータシフトレジスタ18内へ並列的にラッチされるので、該アドレスラッチ内のアドレスは、前のアドレスからのデータがデータ出力ピン30上で直列的にクロック出力される間、インクリメントされることが可能である。

図示例において、アドレスレジスタ/カウンタ12のカウンタを1だけインクリメントさせるための信号IAL(インクリメントアドレスラッチ)

$\phi 1$ 及び $\phi 2$ のクロック動作を停止させる。このことは、それ以上のデータが命令レジスタ14内にシフト入力されることを防止する。

更に第2図に示した如く、カウンタ16を有するフリップフロップをリセットすることによって読取信号が低状態となると、データストリームカウンタ16のビットはゼロへ初期化される。 $I_o P D$ 信号が高状態となると、読取命令がデコードされる。READ(読取)及び $\phi 1$ が真である期間中信号RD、 $\phi 1$ は真であり、且つデータストリームカウンタ16のカウントはゼロである。RD、 $\phi 1$ の期間中、アドレスレジスタ/カウンタ12内に存在する読取命令において特定されるアドレス24内のレジスタアドレスからのデータがデータシフトレジスタ18内へラッチ入力され、且つデータ出力ドライバを介しての小さな遅延の後、ダミーゼロビットがデータ出力ピン30上に出力される。このダミーゼロビットは、有効なデータストリームが続くことを示す信号である。次のクロック相 $\phi 2$ において、該データビットは右側へ

を発生させるために7(十進数)のカウントが選択されている。読取(READ)命令のデコード動作に続いて、16番目のクロック相 $\phi 2$ において、データストリームカウンタ16は0のカウントへロールオーバーし、且つこの読取デコード動作に続く16番目のクロック相 $\phi 1$ の期間中、信号RD、 $\phi 1$ は再度真となる。RD、 $\phi 1$ 信号が高状態にある期間中、新たにインクリメントされたアドレスに対応するデータがすべての16番目のデータシフトレジスタ18のマスタ及びスレーブ内に転送される。同時に、前のデータ列のLSB(D0)が、ダミービット26からデータ出力ドライバ28内へ及びデータ出力パッド30上へクロック転送される。該読取命令のデコード動作に続いてのクロック信号 $\phi 2$ の17番目の高状態へ向かう相において、インクリメントされたアドレスのMSB(データビットD15*)がダミービットのマスタ内にシフト入力され、且つ $\phi 1$ の17番目の高状態へ向かう相において、データビットD15*がデータ出力パッド30上に出力さ

れる。

この事象のシーケンスは各16ビットのデータに対して繰返される。従って、新たな読取命令を何度も何度も繰返して入力することにより回路10へ新たなアドレスを供給することの必要性なしに、連続的なストリームのデータビットをデータ出力パッド30からシリアルにクロック出力させることが可能である。このことは、顕著な時間の節約を与える。この様に、メモリアレイ12全体を一つの連続的なデータストリームにおいて読取るか、又は16ビット乃至4096ビットの間で変化する長さのレジスタとして読取ることが可能である。従って、アレイ24も可変長（即ち16ビットから256ビット）のシフトレジスタとして使用することが可能である。

以上、本発明の具体的な実施の態様について詳細に説明したが、本発明はこれら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることはもちろんである。

- 26: ダミービット
- 28: データ出力ドライバ
- 30: データ出力パッド

特許出願人 ナショナル セミコンダクタ コーポレーション

代理人 小 橋 一 男 小 橋 正 明

4. 図面の簡単な説明

第1図は本発明に基づく電氣的に消去可能で書込み可能な読取専用メモリ (EEPROM) 装置の基本的な要素を示したブロック図、第2図は本発明に基づくシリアル読取アクセス回路を示した概略図、第3図は第2図に示したシリアル読取アクセス回路の動作を説明するのに有用なタイミング図、である。

(符号の説明)

- 2: EEPROMアレイ
- 4: 命令レジスタ
- 5: データシフトレジスタ
- 6: センスアンプ
- 7: 8ビットアドレスレジスタ
- 10: シリアル読取アクセス回路
- 12: アドレスレジスタ/カウンタ
- 14: 命令シフトレジスタ
- 16: データストリームカウンタ
- 22: センスアンプ
- 24: メモリアレイ

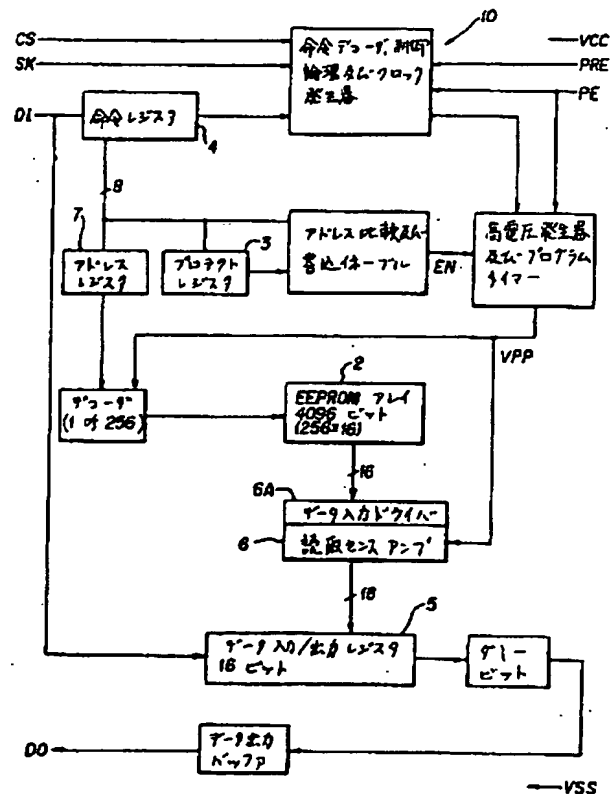
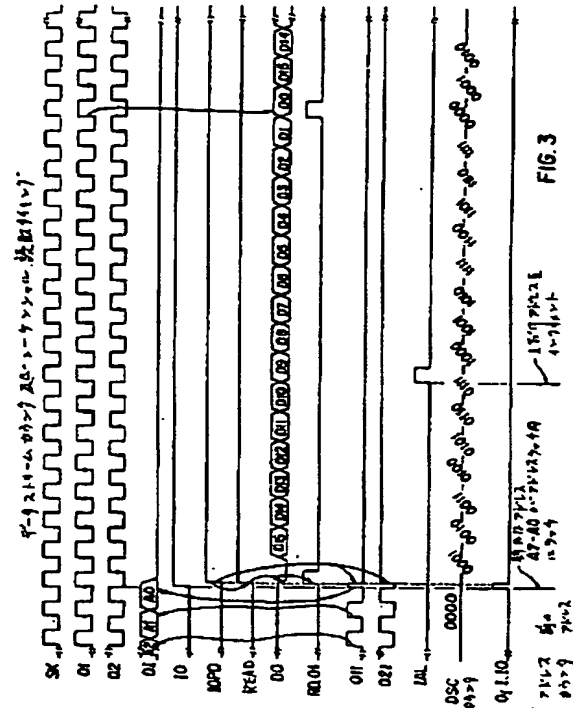
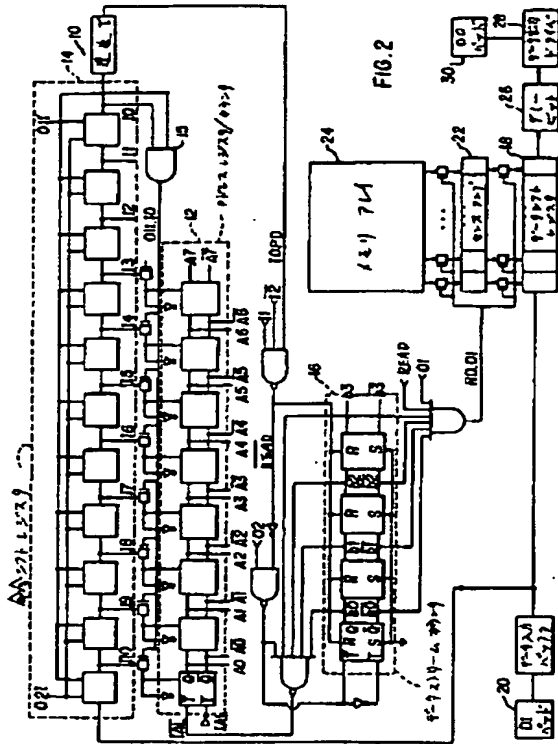


FIG. 1



第1頁の続き

⑦発明者 スダカール ボデユ
⑧発明者 エルロイ エム. ルセ
ロ

アメリカ合衆国, カリフォルニア 94087, サニーベル,
イースト フリモント アベニュー 814, ナンバー 63
アメリカ合衆国, カリフォルニア 95117, サン ノゼ,
オックスフォード レーン 3295